



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06233122  
(43)Date of publication of application: 19.08.1994

(51)Int.Cl.

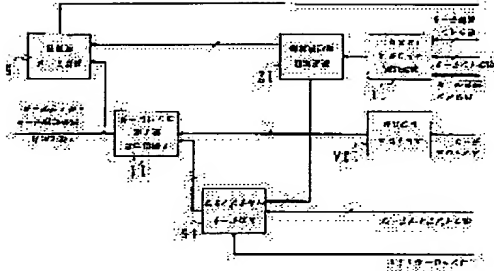
H04N 1/40  
G06F 15/68

(21)Application number: 05017308 (71)Applicant: RICOH CO LTD  
(22)Date of filing: 04.02.1993 (72)Inventor: KOJIMA HIDEYUKI

(54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To provide the image processor which suppresses the increase of a space and cost at a minimum by sharing a common circuit part in the case of integrating an image processing part based on a dither method and an image processing part based on an error dispersing method or a binary error dispersion processing part and a multilevel error dispersion processing part in the same processor. CONSTITUTION: This image processor enables binary error dispersion processing and dither processing by providing a dither data input means and an input data multiplexer 16 for dither data and error dispersion processing data at a quantizing comparator 14 for binary output in a binary error dispersion processing circuit. Otherwise, this image processor enables binary error dispersion processing and multilevel error dispersion processing by providing the quantizing comparator for multilevel



output and an encode means for this quantizing comparator output for multilevel output in addition to the quantizing comparator for binary output of a binary error diffusion processing arithmetic part 12.

LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

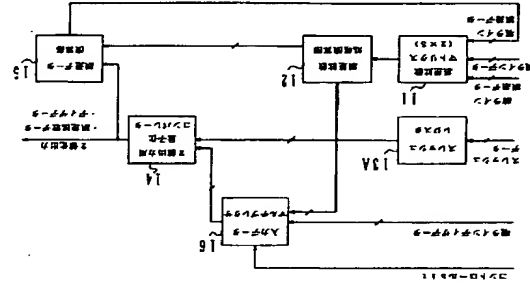
(5) Int. Cl. <sup>8</sup>		識別記号	庁内整理番号	FI	技術表示箇所
H 0 4 N 1/40		B 1011-5 C			
G 0 6 F 15/48		3 2 0 A 1131-5 L			
審査請求		未請求	請求項の枚数	5	OL
(21) 出願番号		特開平 5-17308	(71) 出願人	000008747	(全 12 頁)
			株式会社リコー		
(22) 出願日		平成 5 年 (1993) 2 月 1 日	東京都大田区中馬込 1 丁目 3 番 6 号		
			小嶋 秀行		
			東京都大田区中馬込 1 丁目 3 番 6 号		
			社リコー内		
			井理士 磯村 雅哉		

(54) 発明の名称 画像処理装置

(57) 要約 (修正有)

【目的】 ディザ法に基づく画像処理部と画像処理部と多値処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を提供すること。

【構成】 2 値処理部と画像処理部との出力用量子化コンバータ 14 に、ディザデータ入力手段と、ディザデータと 2 値処理部との選択手段 16 を設けたことを特徴とする 2 値処理部とディザ処理部とが可能な画像処理装置、もしくは、2 値処理部と画像処理部との出力用量子化コンバータ 14 に加えて、多値出力用量子化コンバータと多値出力用量子化コンバータの出力のエントロピー手段を設けたことを特徴とする 2 値処理部と画像処理部とが可能な画像処理装置。



【特許請求の範囲】

【請求項 1】 2 値処理部と画像処理部と 2 値ディザ処理部とが可能な画像処理装置であって、2 値処理部と画像処理部との出力用量子化コンバータに、ディザデータ入力手段と、ディザデータと 2 値処理部との選択手段とを設けたことを特徴とする画像処理装置。

【請求項 2】 2 値処理部と画像処理部と 2 値ディザ処理部とが可能な画像処理装置であって、2 値処理部と画像処理部との出力用量子化コンバータに、ディザデータ入力手段と、ディザデータと 2 値処理部との選択手段とを設けたことを特徴とする画像処理装置。

【請求項 3】 2 値処理部と画像処理部と 2 値ディザ処理部と 2 値ディザ処理部および多値ディザ処理部とが可能な画像処理装置であって、2 値処理部と画像処理部との出力用量子化コンバータに、ディザデータ入力手段と、ディザデータと 2 値処理部との選択手段とを設けたことを特徴とする画像処理装置。

【請求項 4】 前記各処理部と共通回路部分とを設けたことを特徴とする画像処理装置。

【請求項 5】 前記各処理部と共通回路部分とを設けたことを特徴とする画像処理装置。

【発明の詳細な説明】

(0001)

【産業上の利用分野】 本発明は、2 値処理部と画像処理部とを有する回路に簡単な回路を付加する構成によつて、2 値処理部と画像処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を提供すること。

(0002)

【従来の技術】 従来から、ディジタルプリンタ、ディジタルファクシミリ装置等における中間画像の再現する際の 2 値化手法として、階調に周期的に変動するディザパターンを用いたディザ法と、2 値化処理で発生した誤差を周辺画素に分散する誤差拡散法という手法がある。前者では、表現できる階調数がディザマトリクスにより制限されてしまい、例えば、この階調数が 16 階調程度の場合には、出力画像に縞模様が生じてしまうという問題が生じてしまう。なお、後者ではこのような問題の発生はなく、解像度、階調ともにディザ法よりも優れている。しかし、近年、後者の技術においても、階調の低下が低い場合、再生画像中にドットが近接して発生し、それが縞状になつて画像の品質を低下させるという問題があることが指摘された。これに関する対策(例えば、特開平 2-11031 号公報参照)も提案されている。上記

公報に開示された技術は、通常の画像データの処理手段に加えて、入力画像に無関係に画像データを発生する手段を有し、入力画像の特徴を判別してどちらの処理手段を用いるかを選択可能としたものである。

(0003)

【発明が解決しようとする課題】 ところで、従来の画像処理装置においては、上述のディザ法に基づく画像処理部と画像処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を提供すること。

(0004)

【課題を解決するための手段】 本発明の上記目的は、2 値処理部と画像処理部との出力用量子化コンバータに、ディザデータ入力手段と、ディザデータと 2 値処理部との選択手段とを設けたことを特徴とする 2 値処理部と画像処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を提供すること。

(0005)

【作用】 まず、従来の技術で使用されている 2 値処理部と画像処理部およびディザ処理部について説明する。図 6 に従来技術で使用されている 2 値処理部と画像処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を提供すること。

た、スレッシュホールド13は、量子化するためのスレッシュデータ(閾値)を格納するレジスタであり、2値出力量子化コンパレータ14は、誤差拡散処理回路12の出力である誤差拡散処理後データと、スレッシュレジスタ13の出力である閾値とを比較するブロックである。誤差データ増幅部15は、注目画素を量子化した際に出る誤差を算出するブロックであり、黒画素(+)とすると、黒画素に注目画素を量子化した場合は(-)の誤差が生じる。逆に、白画素に補正した場合には、(+1)の誤差が生じる。

[0006] 上述の如く構成された従来技術で用いられている2値誤差拡散処理回路によれば、前ライン誤差データと現ラインデータとから、2値出力としての誤差拡散データを得ることとなる。一方、図7に示されるディザ処理回路は、スレッシュレジスタ21、2値出力量子化コンパレータ22から構成される。スレッシュレジスタ21は、スレッシュデータ(ディザマトリクス閾値)を格納するレジスタであり、構造的には図6に示したスレッシュレジスタ13と同じものである。また、2値出力量子化コンパレータ22は、ディザデータとスレッシュレジスタ21の出力である閾値とを比較し、スレッシュレジスタ13と同じものである。上値出力量子化コンパレータ14と同じものである。上述の如く構成された従来技術で用いられているディザ処理回路によれば、ディザデータとスレッシュデータ(ディザマトリクス閾値)とから、2値出力としてのディザデータを得ることができる。

[0007] 前述の如く図6および図7を比較しても明らかなく、スレッシュレジスタ13と21、2値出力量子化コンパレータ14と22は、いずれも、同一機能を持つブロックである。本発明に係る画像処理装置においては、この点に着目して、従来技術で用いられている2値誤差拡散処理回路に、スレッシュレジスタへの供給データを2値誤差拡散処理とディザ処理2値出力量子化コンパレータ用の2種類とし、これらの切換え手段を導入することにより、スレッシュレジスタと2値出力量子化コンパレータとの共用化を可能としたものである。そして、これにより、ディザ法に基づく画像処理と誤差拡散法に基づく画像処理部とを同一装置内に組み込む際の、スペース、コストの増加を最低限に抑制したものである。2値誤差拡散処理と多値誤差拡散処理との共用回路についても同様である。

[0008]

[実施例] 以下、本発明の実施例を図面に基いて詳細に説明する。図1は、本発明の一実施例に係る画像処理装置のブロック構成図である。図において、記号11、12、14および15は図6に示したと同じ構成要素を示しており、13Aは前述のスレッシュレジスタ13と

示している。また、19はディザ処理または誤差拡散処理後の多値データと現ラインデータ(未加工データ)とを連結する出力データマルチプレクサである。本実施例に係る画像処理装置は、既存の2値誤差拡散処理回路に多値出力量子化コンパレータとエンコーダおよび出力データマルチプレクサを追加して、多値誤差拡散処理能力、多値ディザ出力に加えて、各種処理を施ささない生データをも出力可能としたものである。なお、上述の説明中では特に述べなかったが、各実施例の複数の出力の間にタイミングミシンの不一致が生ずる可能性があるため、各出力の処理タイミングを合わせるために、適宜、ラッチ等を入力することが必要となる場合もある。

[0012] これは、例えば、従来の2値誤差拡散処理部と2値ディザ処理部を別々に備えた画像処理装置においても、処理ルートが異なることから生ずるタイミング補正を行っていたことと同様であるが、相違点は、従来の処理にかかると遅延ライン数(遅延)と遅延画素数(主走査)に違いがあったため、2値化後にタイミングを合わせていたのに対して、本発明に係る構成を採用した場合においては、複数の出力を得るための各「モード」の遅延を最小のものに合わせることにより、CPUの介入を不要とするのが可能になった点である。また、上記各実施例は本発明の一側面を示したものであり、本発明はこれらに限定されるべきものではないことは言うまでもないことである。

[0013]

[発明の効果] 以上、詳細に説明した如く、本発明によれば、ディザ法に基づく画像処理部と誤差拡散法に基づく画像処理部、もしくは、2値誤差拡散処理部と多値誤差拡散処理部とを同一装置内に組み込むに際して、共通回路部分を共用可能とし、スペース、コストの増加を最低限に抑制した画像処理装置を実現できるという顕著な

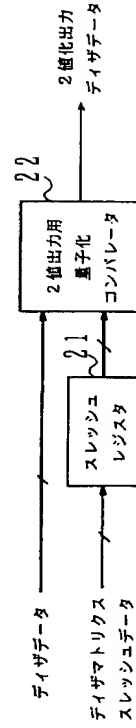
効果を実現するものである。  
[図面の簡単な説明]  
[図1] 本発明の一実施例に係る画像処理装置のブロック構成図である。  
[図2] 本発明の他の実施例に係る画像処理装置のブロック構成図である。  
[図3] 本発明の他の実施例に係る画像処理装置のブロック構成図である。  
[図4] 本発明の他の実施例に係る画像処理装置のブロック構成図である。

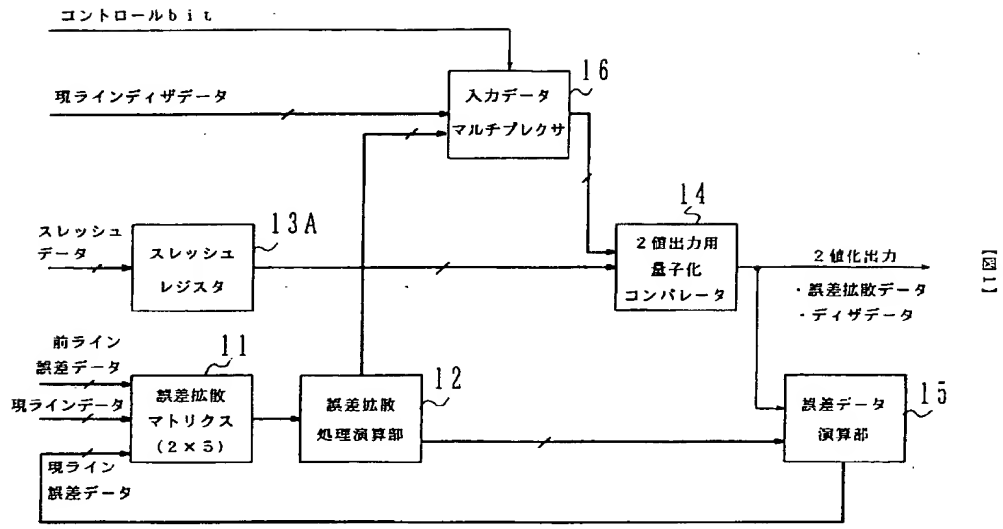
[図5] 実施例で用いた多値出力量子化コンパレータを構成するスレッシュ比較回路の説明図である。  
[図6] 従来技術で用いられている2値誤差拡散処理回路を示す図である。  
[図7] 従来技術で用いられているディザ処理回路を示す図である。  
[図8] 従来技術で用いている2値誤差拡散処理回路の構成要素である誤差拡散マトリクスの一例(2×5)を示す図である。  
[図9] 従来技術で用いている2値誤差拡散処理回路の構成要素である誤差拡散処理演算部の一例を示す図である。

[図10] 実施例で用いたエンコーダ(多値データ生成部)の機能を説明する図である。  
[符号の説明]

11: 誤差拡散マトリクス(例: 2×5)、12: 誤差拡散処理演算部、13, 13A: スレッシュレジスタ、14: 2値出力量子化コンパレータ、15: 誤差データ増幅部、16: 入力データマルチプレクサ、17: 多値出力量子化コンパレータ、18: エンコーダ、19: 出力データマルチプレクサ。

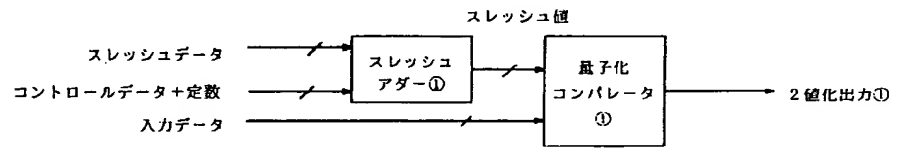
[図7]





【図1】

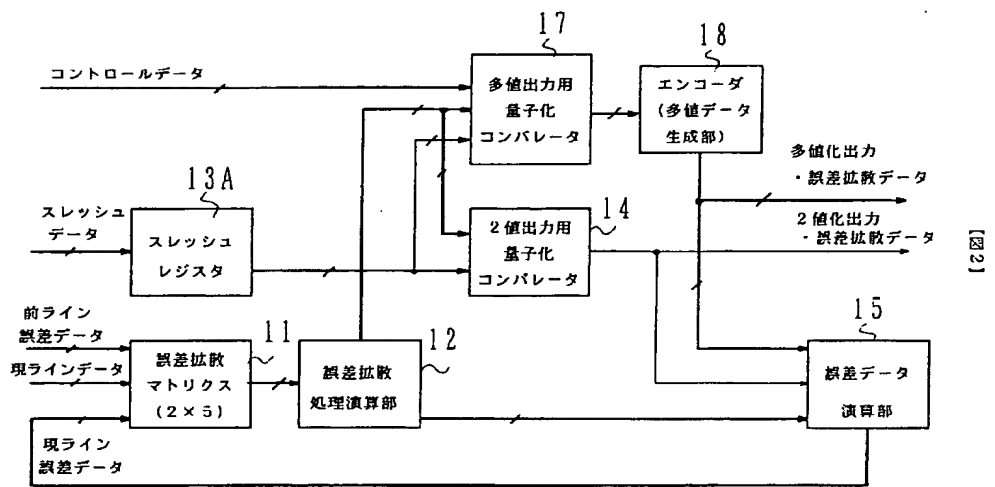
(3)



【図5】

\* n階調なら(n-1)個分の同上スレッシュ値比較回路

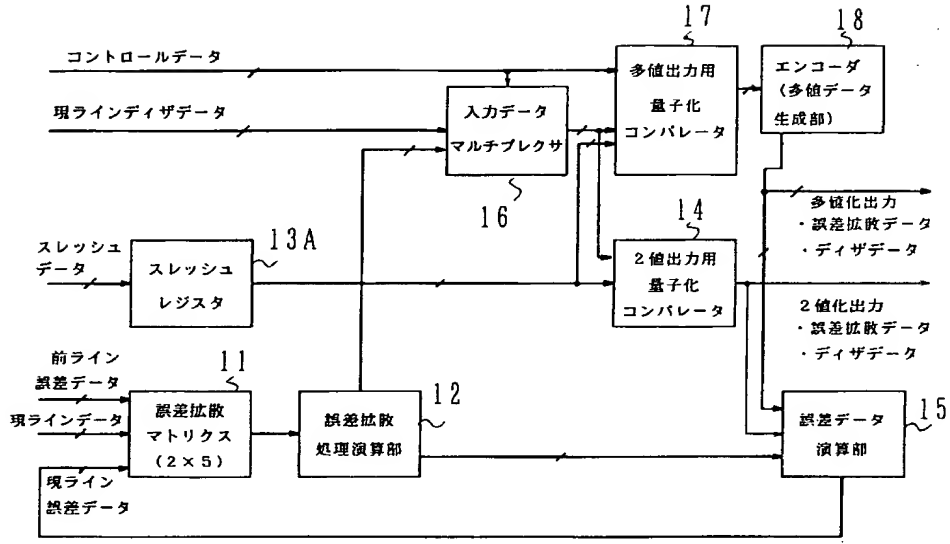
特開平6-233122



【図2】

(4)

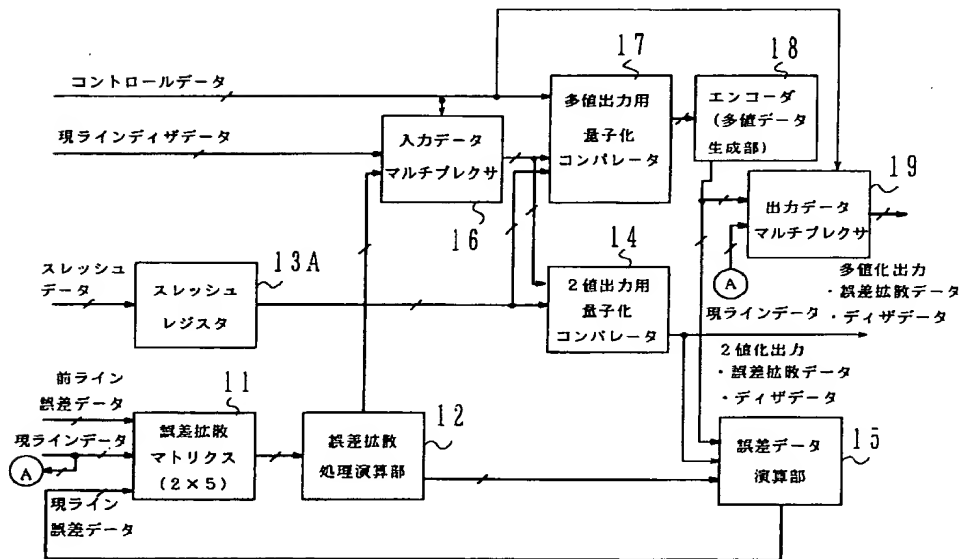
特開平6-233122



【図3】

(7)

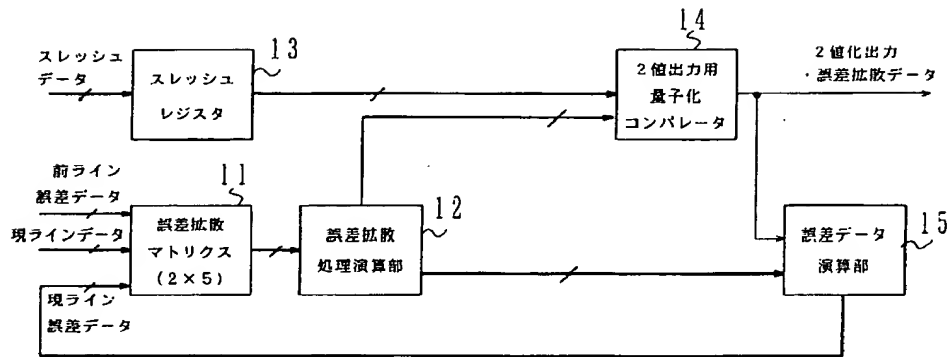
特開平6-233122



【図4】

(8)

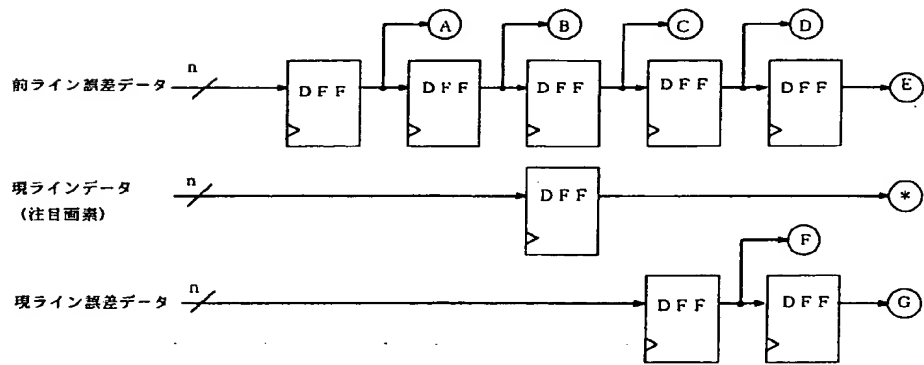
特開平6-233122



【図6】

(9)

特開平6-233122



【図8】

(10)

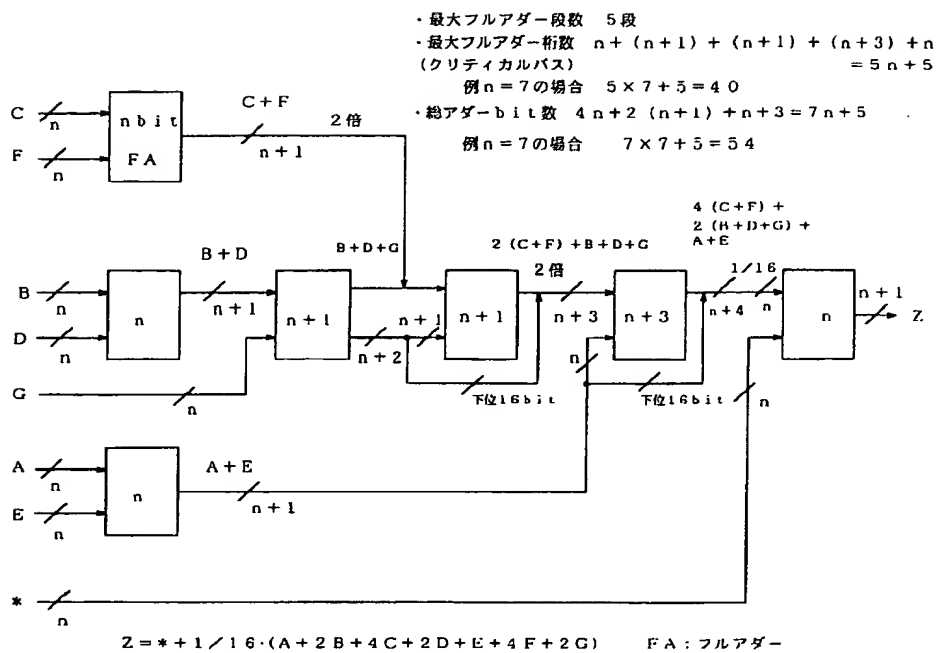
	後画素 ← 先画素				
前ライン	A	B	C	D	E
現ライン			*	F	G

重み付け係数				
1/16	2/16	4/16	2/16	1/16
		1	4/16	2/16

A~G: 誤差, \*: 現 (注目) 画素, Z: 演算結果

$$Z = * + 1/16 \cdot (A + 2B + 4C + 2D + E + 4F + 2G) \dots \dots (1)$$

特開平6-233122



【図9】

(11)

特開平6-233122

3 bit の2進数に変換

Y<sub>n</sub>: コンパレータの出力  
 0: データ ≤ スレッショ  
 1: データ > スレッショ

Y<sub>7</sub> Y<sub>6</sub> Y<sub>5</sub> Y<sub>4</sub> Y<sub>3</sub> Y<sub>2</sub> Y<sub>1</sub>  
 0 0 1 1 1 1 1  
 b<sub>2</sub> b<sub>1</sub> b<sub>0</sub>  
 1 0 1

【図10】

(12)

特開平6-233122